



UNIDAD	IZTAPALAPA	DIVISION	CIENCIAS BASICAS E INGENIERIA	1 / 4
NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA				
CLAVE	UNIDAD DE ENSEÑANZA-APRENDIZAJE		CRED.	11
2151074	FUNDAMENTOS DE LOGICA DIGITAL		TIPO	OBL.
H.TEOR.	3.0	SERIACION	TRIM.	
H.PRAC.	5.0		VIII-IX	
		2151071		

OBJETIVO(S):

Objetivos Generales:

Que al final de la UEA el alumno sea capaz de:

- Entender los fundamentos del diseño lógico digital, desde un enfoque jerárquico y estructurado.
- Comprender el álgebra Booleana para describir funciones lógicas, así como las técnicas asociadas con su aplicación práctica.
- Describir formalmente problemas combinatorios y secuenciales simples para sintetizar soluciones.
- Entender las características y el uso de diferentes tipos de dispositivos digitales disponibles, desde los elementos clásicos hasta la lógica programable.

CONTENIDO SINTETICO:

- I. Introducción a la lógica digital.
 - I.1. Diferencia entre sistemas digitales y analógicos.
 - I.2. Sistemas numéricos de notación posicional.
 - I.2.1. Conversión entre números binario, octal, hexadecimal y decimal.
 - I.2.2. Operaciones aritméticas.
 - I.3. Códigos binarios.
 - I.4. Elementos básicos de lógica y tablas de verdad.
 - I.5. Circuitos lógicos.
 - I.5.1. Con interruptores.
 - I.5.2. Con compuertas lógicas.
- II. Algebra de boole y técnicas de simplificación
 - II.1. Operadores AND, OR y NOT.



UNIVERSIDAD AUTONOMA METROPOLITANA

APROBADO POR EL COLEGIO ACADEMICO
EN SU SESION NUM. 346

[Signature]
EL SECRETARIO DEL COLEGIO

NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA		2/ 4
CLAVE 2151074	FUNDAMENTOS DE LOGICA DIGITAL	

- II.2. Definición axiomática, teoremas y propiedades del Algebra Booleana.
 II.3. Funciones de conmutación y formas canónicas; expansiones en min-términos y max-términos.
 II.4. Simplificación de funciones Booleanas.
 II.4.1. Manipulación algebraica.
 II.4.2. Mapas de Karnaugh.
- III. Elementos de lógica combinatoria
 III.1. Decodificadores.
 III.2. Multiplexores.
 III.3. Memorias de solo lectura (ROM).
 III.4. Arreglos lógicos programables.
 III.5. Comparadores.
 III.6. Sumador y sustractor.
 III.7. Buffers de tres estados.
- IV. Características eléctricas de las compuertas lógicas.
 IV.1. Valores máximo y mínimo de los niveles lógicos.
 IV.2. Fan-in y Fan-out.
 IV.3. Retardo de propagación.
 IV.4. Aleas (Hazard).
- V. Sistemas secuenciales simples (SSS).
 V.1. Flip-Flops.
 V.1.1. Temporización.
 V.1.2. Tablas de verdad.
 V.1.3. Tablas de excitación.
 V.2. Estructura general y estados internos de un sistema secuencial simple (SSS).
 V.3. Descripción del funcionamiento de un SSS.
 V.3.1. Diagramas de tiempo.
 V.3.2. Diagramas de estado.
 V.3.3. Tablas de transición.
 V.3.4. Ecuaciones de estado.
 V.4. Síntesis de un SSS definido por diagramas de estado o tablas de transición.
 V.4.1. Asignación de estados.
 V.4.2. Selección de elementos secuenciales.
 V.4.3. Cálculo de funciones de excitación y salidas.
 V.4.4. Análisis de funcionamiento en tiempo.
 V.5. Registros y contadores.
 V.6. Memoria de acceso aleatorio (RAM).



UNIVERSIDAD AUTONOMA METROPOLITANA

APROBADO POR EL COLEGIO ACADEMICO
EN SU SESION NUM. 346

2/2
EL SECRETARIO DEL COLEGIO

NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA		3/ 4
CLAVE 2151074	FUNDAMENTOS DE LOGICA DIGITAL	

MODALIDADES DE CONDUCCION DEL PROCESO DE ENSEÑANZA-APRENDIZAJE:

El profesor propiciará la participación activa y corresponsable del alumno en el proceso de aprendizaje, además fomentará el pensamiento crítico, la disciplina y el rigor en el trabajo académico, así como la capacidad para aprender por sí mismo y trabajar en equipo. Las sesiones de taller son utilizados para que los alumnos resuelvan problemas bajo la asesoría de profesor.

El trabajo en el laboratorio aclarará los conceptos impartidos en clase. Además, deberá fomentar en el alumno el desarrollo de habilidades necesarias para: el uso adecuado de los instrumentos de laboratorio, interpretar y analizar los resultados y obtener conclusiones. Cuando el trabajo de laboratorio requiera la realización de un proyecto, los alumnos deberán proponer una solución factible de acuerdo con un conjunto de criterios previamente establecidos, evaluar el prototipo resultante (hardware y, según el caso, software) y elaborar el informe correspondiente.

Se sugiere asignar a los alumnos tareas.

El contenido sintético está diseñado para cubrirse en 11 semanas. Se sugiere al profesor la siguiente distribución de semanas para la presentación del contenido:

Introducción a la lógica digital, 2 semanas;
 Álgebra de Boole y técnicas de simplificación, 2 semanas;
 Elementos de lógica combinatoria, 2 semanas;
 Características eléctricas de las compuertas lógicas, una semana;
 Sistemas secuenciales simples (SSS), 4 semanas.

En las horas prácticas se asignarán 2 horas en la modalidad de taller y 3 horas en la modalidad de laboratorio.

MODALIDADES DE EVALUACION:

Evaluación Global:

- La evaluación global incluirá evaluaciones periódicas y, a juicio del profesor, una evaluación terminal.
- Los elementos para las evaluaciones periódicas podrán ser los siguientes: evaluaciones (al menos dos), participación en clase, tareas, trabajos de investigación, presentaciones de temas, actividades desarrolladas en el laboratorio, informes de prácticas y desarrollo de proyectos.
- El profesor seleccionará, a su juicio, los elementos de evaluación



UNIVERSIDAD AUTONOMA METROPOLITANA

APROBADO POR EL COLEGIO ACADEMICO
 EN SU SESION NUM. 346

[Handwritten signature]
 -EL SECRETARIO DEL COLEGIO

NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA		4 / 4
CLAVE 2151074	FUNDAMENTOS DE LOGICA DIGITAL	

periódica y los factores de ponderación respectivos tomando en cuenta que el trabajo de laboratorio deberá tener un peso mínimo de 20% y un máximo de 30% de la calificación total.

Para que el alumno acredite el curso será necesario que obtenga una calificación aprobatoria tanto en el trabajo de laboratorio como en el promedio de las evaluaciones correspondientes a los conocimientos teóricos.

Evaluación de Recuperación:

- A juicio del profesor, consistirá en una evaluación que incluya todos los contenidos teóricos y prácticos de la UEA, o sólo aquéllos que no fueron cumplidos durante el trimestre.

BIBLIOGRAFIA NECESARIA O RECOMENDABLE:

1. Floyd, Thomas L., Fundamentos de Sistemas Digitales. Prentice Hall. 9a. Edición, 2006.
2. Hayes, John P., Introduction to Digital Logic Design. Addison Wesley, 1993.
3. Katz, R. y Borriello, G., Contemporary Logic Design. Addison Wesley, 2005.
4. Morris Mano, M., Diseño Digital. Prentice Hall. Tercera Edición, 2003, (incluye CD-ROM).
5. Morris Mano, M., Kimer, Charles R., Fundamentos de Diseño Lógico y Computadoras. Prentice Hall, 2005.
6. Wackerly, J. F., Digital Design Principles and Practices. Prentice Hall, 2006.



UNIVERSIDAD AUTONOMA METROPOLITANA

APROBADO POR EL COLEGIO ACADEMICO
EN SU SESION NUM. 346

[Signature]
EL SECRETARIO DEL COLEGIO